

**Universität Karlsruhe**  
Institut für Technische Informatik  
Prof. Dr. Wolfgang Karl

**Klausur Rechnerstrukturen**  
**Wintersemester 2005/06**  
**Aufgabenteil**

## Aufgabe 1: Schaltungssynthese und Produktion

14P

### Schaltungssynthese:

6P

Gegeben sei folgende VHDL-Beschreibung:

```
library IEEE;
use IEEE_std_logic_1164.all;

entity counter is
port(
  clk, rst: in std_logic;
  count: out std_logic_vector(3 downto 0)
);
end entity;

architecture rtl of counter is
begin
  process (clk, rst)
  begin
    if rst='0' then
      count<=(others=>'1');
    elsif clk'event and clk='1' then
      count<=count+"0001";
    end if;
  end process;
end architecture;
```

- a) Ungeachtet eventueller Fehler im Quelltext: Welche Funktion wird in der Architecture beschrieben und was ist die *genaue* Aufgabe der in der Entity deklarierten Signale bzw. welche Aktionen werden wann hierdurch ausgelöst? (*Hinweis: "Auslösung der Abarbeitung des Prozesses" ist keine ausreichende Antwort.*) **3P**
- b) Ist für diese Modellierung der Einsatz des Datentyps `std_logic` zwingend? Begründen Sie Ihre Antwort und geben Sie eine eventuelle Datentyp-Alternative an. **1P**
- c) Die Beschreibung wird sich so nicht übersetzen lassen, da sie einen Zuweisungskonflikt enthält. Woraus resultiert dieser Konflikt (genaue Erklärung) und wie läßt sich der Fehler in der VHDL-Beschreibung **ohne Änderung der Verhaltensbeschreibung** (Architecture) beheben? **2P**

**Produktion:**

8P

Eine Wafer-Fertigungsanlage soll von 150mm- auf 250mm-Wafer umgestellt werden. Der Fertigungsprozess wird hierbei nicht verändert, es ergebe sich aus Technologiefaktor, Fehlerquote und Wafer-Ausbeute ein Die-Yield von 0,2. Der zu fertigende Die habe eine Fläche von  $a_{die} = 2cm^2$ .

- d) Die Formel für die Berechnung der erzielbaren Dies pro Wafern  $dpw$  hat die Form **1P**

$$dpw = A - B = \frac{\pi \cdot (d_{wafer} \cdot \frac{1}{2})^2}{a_{die}} - \frac{\pi \cdot (d_{wafer})}{\sqrt{2 \cdot a_{die}}}$$

Welche Bedeutung haben die Werte A und B?

- e) Berechnen Sie unter Angabe des Rechenwegs für beide Wafergrößen die erzielbare Anzahl von Dies pro Wafern. Geben Sie das Ergebnis als Vielfaches von  $\pi$  an. (Hinweis zur Berechnung: Verwenden Sie als Basiseinheit cm.) **2P**
- f) Errechnen Sie unter Angabe von Formel und Rechenweg die Kosten pro Die für 150- und 250mm-Technologie. Die Wafer-Kosten pro Millimeter Durchmesser sind hierfür mit 1 Euro zu veranschlagen und die Anzahl erzielbarer Dies pro Wafer betrage 25 für 150mm bzw. 50 für 250mm. (Hinweis zur Berechnung: Verwenden Sie Bruchrechnung und behalten Sie die Basiseinheit cm bei.) **3P**
- g) Durch die Umstellung des Wafer-Durchmessers verringern sich die Kosten pro Die um einen Faktor von 1,2. Die tatsächlichen Kosten pro gefertigtem IC verringern sich jedoch nicht, trotz gleichbleibender Kosten für Test und Packaging. Vor dem Hintergrund der Gesamtkostenberechnung für einzelne ICs: Was schließen Sie hieraus und welche zwei Ursachen kommen hierfür in Frage? Begründen Sie Ihre Aussage. **2P**

---

## Aufgabe 2: Klassifikation und Leistungsanalyse von Rechen- systemen

12P

### Klassifikation:

- a) Welche vier Architekturtypen (Abkürzung und Bedeutung) definiert die Klassifikation nach Flynn? **2P**
- b) In welche Klasse fallen typischerweise Systeme, welche auf nachrichtenorientierten Multiprozessoren basieren? Begründen Sie Ihre Antwort kurz. **1P**

### Leistungsanalyse

Die Taktrate zweier Prozessoren betrage 2GHz für Prozessor I und 2,5GHz für Prozessor II. Die Abarbeitung eines Benchmarks werde nach 2 Sekunden abgebrochen, in dieser Zeit habe Prozessor I 1,5 Mrd. Instruktionen abgearbeitet, für Prozessor II wurden 5 Mrd. Instruktionen gezählt.

- c) Berechnen Sie unter Angabe von Ursprungsformel und Rechenweg den CPI-Wert für beide Prozessoren. **3P**
- d) Durch eine alternative Messung seien MIPS-Werte von 750 für Prozessor I bzw. 2500 für Prozessor II ermittelt worden. Berechnen Sie unter Angabe von Ursprungsformel und Rechenweg die CPI-Werte basierend auf diesen MIPS-Werten. **3P**
- e) Gehen Sie davon aus, ein Programm sei auf einer Architektur mit Befehlspipelining linear abarbeitbar, d.h. es treten keinerlei Pipeline-Hemmnisse zur Laufzeit auf. Selbst unter diesen Idealbedingungen ist es nicht möglich, einen CPI-Wert von  $CPI = 1$  zu erzielen. Was ist die Voraussetzung für diesen CPI-Wert und warum läßt er sich in der Praxis nicht erzielen? **1P**
- f) Die reinen Hardwareparameter Frequenz und CPI bzw. die daraus resultierenden MIPS vernachlässigen zwei nicht unerhebliche Faktoren bei der Abarbeitung von Programmen auf realen Systemen. Welche zwei Faktoren sind dies und mit welchen Methoden erfaßt man stattdessen die reale und unter verschiedenen Systemen vergleichbare Rechenleistung? Geben Sie ein aus der Vorlesung bekanntes Beispiel für eine solche Methode. **2P**

## Aufgabe 3: Rechnerarchitektur

10P

while(Bedingung==true) { ... };

```
test:  LOAD R0,true
      LOAD R1,Bedingung
      CMP R0,R1
      BRNE exit
      ...
      JMP test
exit:
```

do { ... } while (Bedingung==true);

```
loop:  ...
      LOAD R0,true
      LOAD R1,Bedingung
      CMP R0,R1
      BREQ loop
```

Die while()- und do/while()-Konstrukte werden vom Compiler in die jeweils darunterstehende Folge von Assemblerbefehlen übersetzt.

- a) Unter der Annahme, das Abbruchkriterium trete mit vernachlässigbar geringer Häufigkeit auf und der Schleifenkörper enthalte keine bedingten Sprünge: Welche **statische** Sprungvorhersage würden Sie für den jeweiligen Schleifentyp wählen und warum? (Hinweis: Antworten ohne Begründung werden nicht gewertet.) **2P**
- b) Ihr Programm enthalte hauptsächlich Schleifenkonstrukte. Welchem **dynamischen** Prädiktor würden Sie – unter Beachtung von technischen und wirtschaftlichen Gesichtspunkten – den Vorzug geben und warum? (Hinweis: Antworten ohne Begründung werden nicht gewertet.) **2P**
- c) Bei der Abarbeitung beider Schleifen kommt es zu Steuerkonflikten, die von der Sprungvorhersage gemildert, aber nicht vermieden werden können. **3P**
  - Welches ist die Ursache dieser Steuerkonflikte und welche Auswirkungen haben diese bei der Abarbeitung auf einem Mikroprozessor mit Pipelining-Organisation? **1P**
  - Aus der Vorlesung kennen Sie ein Programmiermodell, welches Sprünge durch eine besondere Abarbeitungstechnik vermeidet. Benennen und erklären Sie dieses Modell. **1P**
  - Beschreiben Sie konkret, wie die Befehlsabarbeitung bei diesem Programmiermodell abläuft. **1P**
- d) Für die Sprungvorhersage werden die niederwertigen 10 Bit des aktuellen Befehlszählers herangezogen. Der Prozessor verwende einen (n,m)-Korrelationsprädiktor. **3P**
  - Wieviele Prädiktor-Sets stehen zur Sprungvorhersage zur Verfügung und wieviele Prädiktoren welchen Typs beinhaltet jedes Set? **1,5P**
  - Welche Bedeutung hat  $m$  und wie ist diese Funktionalität in der Prozessorhardware implementiert? **1P**
  - Warum ist die Leistung eines (n,m)-Korrelationsprädiktor mindestens so gut wie die eines einfachen n-Bit-Prädiktors? **0,5P**

## Aufgabe 4: Parallelverarbeitung

12P

### Instruction-level Parallelism:

7P

- a) Ausnutzung von ILP in sequentiellen Programmiersprachen erstellten Programmen kann durch unterschiedliche Maßnahmen erfolgen. Geben Sie für VLIW/EPIC-Architekturen sowie superskalare Architekturen an, welche Art von Parallelisierung durchgeführt wird, ob diese auf Software- oder Hardware-Ebene stattfindet und wer bzw. welche Funktionseinheit hierfür verantwortlich ist. **3P**

Ein Programmfragment habe die folgende Form: `for (i=1; i<10; i++)`

```
{
    U[i]=V[i]+W[i];
    X[i]=U[i]*Z[i];
}
```

- b) In diesem Fragment ist eine Abhängigkeit enthalten. Welches Datenfeld ist hiervon betroffen und um welche Art Abhängigkeit handelt es sich? **1P**
- c) Erzeugt diese Abhängigkeit Probleme beim Ausrollen der Schleife? Begründen Sie Ihre Antwort. **1P**

Eine weiteres Fragment sehe folgendermaßen aus: `for (i=0; i<64; i++)`

```
{
    X[2*i+4]=3*X[8*i+6]+7;
}
```

- d) Ermitteln Sie anhand des GCD-Verfahrens unter Angabe des Rechenwegs, ob dieses Fragment mögliche schleifengetragene Abhängigkeiten enthält. **1P**
- e) In welchen Fällen liefert der GCD-Test die notwendige, aber nicht hinreichende Bedingung für das Auftreten einer schleifengetragenen Abhängigkeit? Illustrieren Sie die Erklärung an einem kurzen, in der Übung angeführten Beispiel. **1P**

### Verbindungsnetzwerke:

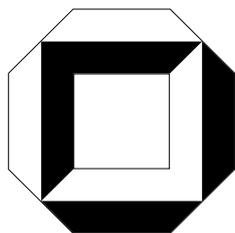
5P

- f) In einem Hyperkubus werde e-cube Routing verwendet. **5P**
- Der Hyperkubus habe Dimension 5. Berechnen Sie Komplexität und Diameter. **1P**  
(Hinweis: Resultate ohne erkennbaren Rechenweg werden nicht gewertet.)
  - Geben Sie für einen Hyperkubus mit Dimension 3 die vollständige Wegstreckeberechnung für die Verbindung der Knoten 2 und 5 an. Wie ist das Ergebnis zu werten? **1P**
  - Geben Sie alle kürzesten Verbindungspfade zwischen Knoten 2 und 5 in einem Hyperkubus mit Dimension 3 an. **3P**

## Aufgabe 5: Cache-Systeme

12P

- a) Auf welchem Konzept basiert das MESI-Cachekohärenzprotokoll und was ist hierfür die technische Grundvoraussetzung? **1P**
- b) Der L1-Cache wird typischerweise in einen Instruktions- und einen Datencache aufgesplittet. **3P**
- Erklären Sie den Vorteil dieser Verfahrensweise vor dem Hintergrund der Befehlsabarbeitung mithilfe einer üblichen RISC-Pipeline. **2P**
  - Welches weitere grundsätzliche Problem ergibt sich bei einem uniformen L1-Cache gegenüber getrennten I- und D-Caches? **1P**
- c) Der L1-Cache bestehe aus getrennten I- und D-Caches, der L2-Cache hingegen sei uniform. Für ein Programmfragment wird bei einer Anzahl von 5000 Instruktionen für den I-Cache eine Hit-Rate  $h_I$  von 0,75 ermittelt; hierbei werden 3000 Datenzugriffe durchgeführt und für den D-Cache eine Hit-Rate  $h_D$  von 0,8 ermittelt. **4P**
- Geben Sie die Formel zur Errechnung der jeweiligen Anzahl von Cache-Misses  $\#m$  basierend auf der Anzahl der Speicherzugriffe  $z$  und Hit-Rate  $h$  an. **1P**
  - Berechnen Sie basierend auf der Anzahl der Zugriffe  $z_I$  bzw.  $z_D$  sowie der ermittelten Hit-Raten  $h_I$  und  $h_D$  die Anzahl der jeweiligen Cache-Misses  $\#m_I$  und  $\#m_D$  für I- und D-Cache. **1P**
  - Wieviele Zugriffe  $z_{L2}$  werden letztendlich auf den L2-Cache stattfinden? (Formel und Berechnung) **1P**
  - Unter der Annahme, es finden  $z_{L2} = 2000$  Zugriffe auf den L2-Cache statt: Welche effektive Hit-Rate  $h_{L1}$  ergibt sich für das L1-System bestehend aus I- und D-Cache aus Sicht des L2-Caches? (Formel und Berechnung) **1P**
- d) Gegeben sei ein speichergekoppeltes Multiprozessorsystem mit 2 Prozessoren, welche über einen Bus mit einem gemeinsamen Speicher verbunden sind. Zur Wahrung der Cache-Konsistenz wird das MESI-Protokoll verwendet. Die Caches der beiden Prozessoren haben je eine Größe von zwei Cache-Zeilen, die jeweils genau ein Speicherwort aufnehmen können. Die Cache-Zeilen werden von der niedrigsten zur höchsten Cache-Zeile aufwärts gefüllt, sofern freie Zeilen zur Verfügung stehen. Ist der Cache voll besetzt, wird gemäß LRU-Strategie verdrängt und überschrieben. Ergänzen Sie die im Lösungsblatt abgedruckte Tabelle unter Verwendung der Abkürzungen M, E, S und I für die 4 Zustände des MESI-Protokolls und geben Sie die jeweils betroffene Adresse an. **4P**



**Universität Karlsruhe**  
Institut für Technische Informatik  
Prof. Dr. Wolfgang Karl

# **Klausur Rechnerstrukturen**

## **Wintersemester 2005/06**

### **Lösungsteil**

Name: \_\_\_\_\_  
Vorname: \_\_\_\_\_  
Matrikelnummer: \_\_\_\_\_

Tragen Sie bitte auf jedem Blatt Ihren Namen und Ihre Matrikelnummer ein. Bitte tragen Sie alle Lösungen und Rechenwege an den vorgesehen Stellen ein und geben Sie keine zusätzlichen Blätter ab, ohne dies dem Aufsichtspersonal mitzuteilen.

**Hinweis:** Bei Rechenaufgaben ist die Angabe des Rechenwegs zwingend erforderlich. Ergebnisse ohne Rechenweg werden **nicht** gewertet.

Zum Bestehen der Klausur sind mindestens 20 Punkte erforderlich.

- ( ) Ich wünsche die Notenveröffentlichung per Aushang (Matrikelnummer und Note) am schwarzen Brett.  
(Bei Nichtankreuzen kann die Note erst in der Klausureinsicht erfragt werden.)

Erreichte Punkte (wird vom Institut ausgefüllt):

Aufgabe	1	2	3	4	5
Punkte	/14	/12	/10	/12	/12
Summe:					/60

**Lösung 1: Schaltungssynthese und Produktion***14P*

a) Die Schaltungsbeschreibung modelliert:

*3P*Funktion von `clk`:Funktion von `rst`:Funktion von `count`:

b) Antwort mit Begründung:

*1P*

c) Antwort mit Begründung:

*2P*

d) A:

*1P*

B:

e) Berechnung  $dpw_{150}$ :

2P

Berechnung  $dpw_{250}$ :

f) Formel für  $cost_{die}$ :

3P

Berechnung  $cost_{d150}$ :

Berechnung  $cost_{d250}$ :

g) Antwort mit Begründung:

2P

**Lösung 2: Klassifikation und Leistungsanalyse von Rechen-  
systemen***12P*

a) Antwort:

*2P*

b) Antwort:

*1P*

c) Formel:

*3P*Berechnung von  $CPI_1$ :Berechnung von  $CPI_2$ :

d) Formel:

*3P*Berechnung von  $CPI_1$ :Berechnung von  $CPI_2$ :

Name:

Matrikelnummer:

5/10

---

e) Antwort:

*1P*

f) Antwort:

*2P*

**Lösung 3: Rechnerarchitektur***10P*

a) while-Schleife:

*2P*

do/while-Schleife:

b) Antwort mit Begründung:

*2P*

c) Antwort:

*3P*

d) Antwort:

*3P*

**Lösung 4: Parallelverarbeitung***12P*

a) VLIW/EPIC:

*3P*

Superskalar:

b) Antwort:

*1P*

c) Antwort:

*1P*

d)

*1P*

	a	b		c	d
$X[2*i+4]$			$3*X[8*i+6]+7$		

Berechnung GCD-Test (mit Ergebnis und Begründung):

Name:

Matrikelnummer:

8/10

---

e) Antwort:

*1P*

f) Komplexität  $k$ :

*5P*

Diameter  $d$ :

Wegstreckenberechnung:

Verbindungswege:

**Lösung 5: Cache-Systeme***12P*

a) Antwort:

*1P*

b) Teilantwort 1:

*3P*

Teilantwort 2:

c) Formel für  $\#m$ :*4P*Berechnung  $\#m_I$ :Berechnung  $\#m_D$ :Formel für  $z_{L2}$ :Berechnung  $z_{L2}$ :

Formel für  $h_{L1}$ :

Berechnung für  $h_{L1}$ :

d)

4P

Prozessor	Aktion	Prozessor/Cache 1		Prozessor/Cache 2	
		Line 1	Line 2	Line 1	Line 2
-	(init)	E/8	I/-	I/-	E/6
1	wr 2				
1	wr 8				
2	rd 10				
1	rd 6				
2	wr 8				
2	rd 2				
1	wr 2				
2	rd 2				